

#2

10/05/02
JC971 U.S. PRO
01/31/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Hirokazu HAYASHI :

Serial No.: [NEW] : Attn: Applications Branch

Filed: January 31, 2002 : Attorney Docket No.: OKI.298

For: METHOD FOR MODELING SEMICONDUCTOR DEVICE PROCESS

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2001-160692 filed May 29, 2001

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 31, 2002

日本国特許庁

JAPAN PATENT OFFICE

10/059176
01/31/02
JCS71 U.S. PRO

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2001年 5月29日

出願番号

Application Number:

特願2001-160692

出願人

Applicant(s):

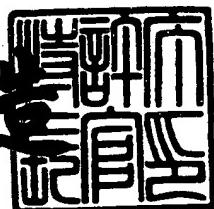
沖電気工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3094079

【書類名】 特許願
【整理番号】 KT000354
【提出日】 平成13年 5月29日
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 H01L 21/00
H01L 21/22

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 林 洋一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096091

【弁理士】

【氏名又は名称】 井上 誠一

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【包括委任状番号】 0001436

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体プロセスデバイスマデリング方法およびそのプログラム

【特許請求の範囲】

【請求項1】 SiO_2 層のデータを格納する第1工程と、
前記 SiO_2 層に接して形成された Si 層のデータを格納する第2工程と、
前記 Si 層を複数の領域に分割し、前記各領域に含まれる不純物の量を設定する第3工程と、

前記各領域に含まれる不純物の単位時間における前記領域間の移動量を設定する第4工程と、

前記 SiO_2 層と前記 Si 層との界面付近に、不純物パイルアップ部を構成する第5工程と、

前記第1工程、第2工程、第3工程、第4工程、および第5工程が終了した後、前記各領域の不純物分布を単位時間毎に計算する第6工程とを含み、

前記不純物の移動量は、前記不純物のパイルアップ位置から前記移動した不純物の元の位置との距離（以下距離 r_1 とする）と、前記最も近い界面のS/Dプロファイル位置から前記移動した不純物の元の位置との距離（以下距離 r_2 とする）の関数とすることを特徴とする半導体プロセスデバイスマデリング方法。

【請求項2】 前記距離 r_2 を、ソース/ドレイン（S/D）プロファイルの等濃度線から前記移動した不純物の元の位置との距離とすることを特徴とする請求項1に記載の半導体プロセスデバイスマデリング方法。

【請求項3】 前記不純物移動量計算に立体角を考慮することを特徴とする請求項1または2に記載の半導体プロセスデバイスマデリング方法。

【請求項4】 前記各領域の不純物分布を単位時間毎に計算する第6工程において、不純物移動計算を、拡散方程式の生成および消滅項の利用を併用して行うことを特徴とする請求項1、2または3に記載の半導体プロセスデバイスマデリング方法。

【請求項5】 S/D領域や孤立した同種の不純物で形成された領域が複数存在する場合には、対象とするイオン打ち込みで形成された領域と、それ以前に既に形成された領域を切り分ける方法としてマスクを利用することを特徴とする

請求項1，2，3または4に記載の半導体プロセスデバイスマデリング方法。

【請求項6】 逆短チャネル効果の大きさのデータを格納する第7の工程と

前記第6工程で計算された不純物分布を用いてしきい電圧を計算する第8工程と，を有することを特徴とする請求項1，2，3，4，または5に記載の半導体プロセスデバイスマデリング方法。

【請求項7】 前記半導体は，S O I プロセスによって形成されることを特徴とする請求項1，2，3，4，5または6に記載の半導体プロセスデバイスマデリング方法。

【請求項8】 SiO_2 層のデータを格納する第1段階と，

前記 SiO_2 層に接して形成された Si 層のデータを格納する第2段階と，

前記 Si 層を複数の領域に分割し，前記各領域に含まれる不純物の量を設定する第3段階と，

前記各領域に含まれる不純物の単位時間における前記領域間の移動量を設定する第4段階と，

前記 SiO_2 層と前記 Si 層との界面付近に，不純物パイルアップ部を構成する第5段階と，

前記第1段階，第2段階，第3段階，第4段階，および第5段階が終了した後，前記各領域の不純物分布を単位時間毎に計算する第6段階とを含み，

前記不純物の移動量は，前記不純物のパイルアップ位置から前記移動した不純物の元の位置との距離（以下距離 r_1 とする）と，前記最も近い界面のS/Dプロファイル位置から前記移動した不純物の元の位置との距離（以下距離 r_2 とする）の関数とすることを特徴とする半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項9】 前記距離 r_2 を，S/Dプロファイルの等濃度線から前記移動した不純物の元の位置との距離とすることを特徴とする請求項8に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項10】 前記不純物移動量計算に立体角を考慮することを特徴とす

る請求項8または9に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項11】 前記各領域の不純物分布を単位時間毎に計算する第6段階において、不純物移動計算を、拡散方程式の生成および消滅項の利用を併用して行うことを特徴とする請求項8、9または10に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項12】 S/D領域や孤立した同種の不純物で形成された領域が複数存在する場合には、対象とするイオン打ち込みで形成された領域と、それ以前に既に形成された領域を切り分ける方法としてマスクを利用することを特徴とする請求項8、9、10または11に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項13】 逆短チャネル効果の大きさのデータを格納する第7の段階と、

前記第6段階で計算された不純物分布を用いてしきい電圧を計算する第8段階と、を有することを特徴とする請求項8、9、10、11、または12に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【請求項14】 前記半導体は、SOIプロセスによって形成されることを特徴とする請求項8、9、10、11、12または13に記載の半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体プロセスデバイスマデリング方法にかかり、特に半導体中の不純物拡散、及びMOS型電界効果トランジスタ(MOSFET)のしきい電圧の逆短チャネル効果のモデリング方法に関するものである。

【0002】

【従来の技術】

過剰な点欠陥が半導体中に存在した場合の不純物拡散のメカニズムを図9に示

す。過剰な点欠陥は主に高ドーズのイオン注入工程で発生する。特に、MOSFETのソース／ドレイン（S／D）イオン注入工程で発生した過剰な点欠陥がその直後の熱処理によって不純物とペアを組み、不純物／点欠陥ペアの分離と結合を繰り返しながら拡散し、その後、Si／SiO₂界面にたどり着いたペアのうち、点欠陥は消滅し、ペアを組んでいた不純物がそこで堆積（パイルアップ）する。

【0003】

図10は、ゲート長が2.03 μm, 0.52 μm, 0.21 μmとした場合のチャネル方向の距離Distanceと、不純物濃度Conc.との関係を示している。図中、不純物濃度が低い部分はチャネルに対応しており、その両側のドレインおよびソースに対応する部分に、不純物パイルアップによる不純物濃度の上昇が見られる。

【0004】

このパイルアップ量はS／Dインプラ位置に近いゲート端でもっとも大きく、チャネルに向かって減衰する。MOSFETのしきい電圧の逆短チャネル効果（ゲート長が短くなるに連れてしきい電圧が増加する現象）はこのパイルアップが主要因で起こるとされている。

【0005】

図11は、基板バイアスVBが、0V, -3V, -5Vのときのゲート長Lgとしきい電圧Vthの関係を示している。半導体デバイスにおいて、応答速度や集積度を高めようとしてデバイス寸法を小さくすると、一般的にこれに応じてゲート長も短くなる。

【0006】

一方、しきい電圧Vthは、ゲート長Lgに関係なく一定であることが回路設計上望ましいが、ゲート長Lgが短くなると（図11においては約1 μm以下）、しきい電圧Vthが上下に変動する逆短チャネル効果が見られる。

【0007】

従来の半導体中の不純物拡散を記述するモデルは大きく分けて三つある。一つは、解析対象領域を設定し、各々の不純物に対して1本の拡散方程式を解き、半

導体中の不純物分布を計算する方法、(以下 Fair モデルと呼ぶ) と、二つめは、解析対象領域を設定し、点欠陥と不純物がペアを形成して拡散することを想定して、点欠陥自身と不純物／点欠陥ペアに対するそれぞれの拡散方程式を解き、半導体中の不純物分布を計算する方法(以下ペア拡散モデルと呼ぶ) と、三つめは、解析領域を設定し、Fair モデルの枠組みで、点欠陥に関連した拡散方程式を解かずに簡便にその効果を取り込む簡易モデルである。

【0008】

図12は、Fair モデルおよびペア拡散モデルを説明する図である。図12に示すように一つめのFair モデルは、解くべき方程式の数が少ないため、計算時間が早く、手軽に扱える利点がある反面、不純物拡散に対する点欠陥の影響を扱っていないため、Si/SiO₂ 界面での不純物パイルアップを再現できない欠点がある。

【0009】

二つめのペア拡散モデルは、不純物拡散に対する点欠陥の影響を厳密に扱っているので、高精度にシミュレーションできる利点がある反面、不純物の数が増えれば、解くべき方程式の数も増えるので、計算時間が増大する欠点がある。

【0010】

三つめの簡易モデルは、計算時間とシミュレーション精度のトレードオフをうまく吸収できる利点があるが、モデルの適用範囲とプロセス依存性をどこまで再現できるかが鍵になる。

【0011】

簡易モデルには、たとえば特願平12-084716の簡易モデルが挙げられる。図13は、上記簡易モデルを説明する図、図14は、半導体基板中の不純物パイルアップの横方向分布を表す図、図15は上記簡易モデルを説明するフローチャートである。

【0012】

図13、14および15に示すように、まず、Si層を複数のセルに分割する。Fair モデルで再現できないSi/SiO₂ 界面での不純物パイルアップを、点欠陥に関連した拡散方程式を解かずに、基板領域の不純物量の一部分を Si

Si/SiO_2 界面に移動させてパイルアップを構成する。その不純物移動量は注目している界面位置と基板領域のセルまでの距離の関数とする方法を用いている。

【0013】

このような拡散モデルを用いて、しきい電圧の逆短チャネル効果をモデリングする場合は、

- (1) ペア拡散モデルを用いて不純物分布を計算し、そのまま電気特性を計算する方法
- (2) 簡易モデルを用いて不純物分布を計算し、そのまま電気特性を計算する方法などがある。

【0014】

【発明が解決しようとする課題】

しかしながら、上記方法ではいくつかの問題点がある。

1. ペア拡散モデルは計算時間が増大するため、プロセス・デバイス・回路間での感度解析、プロセス最適化、プロセスバラツキ解析、モデルパラメータのキャリブレーションなど複数回のシミュレーションを実行する必要がある場合は、ペア拡散モデルの利用は困難である。

【0015】

2. 従来の簡易モデルでは、 Si/SiO_2 界面への不純物移動量計算を界面位置と基板領域のセルまでの距離だけの関数で表現しているため、不純物濃度再分布に対する S/D プロセス依存性を再現できない。

【0016】

3. また、従来の簡易モデルでは、界面での不純物パイルアップの形を先に決めてしまうので、パイルアップの形状に対するプロセス依存性の予測ができない。という問題点がある。

【0017】

本発明は、従来の半導体プロセスデバイスマデリング方法が有する上記問題点に鑑みてなされたものであり、

- ・ Fair モデルの枠組みで、 Si/SiO_2 界面での不純物パイルアップの S/D プロセス依存性を再現でき、

- ・不純物パイルアップの形状を予測でき、
- ・その不純物プロファイルを利用して、しきい電圧の逆短チャネル効果を再現でき、
- ・高速計算可能な方法を
提供することを目的とする。

【0018】

【課題を解決するための手段】

上記課題を解決するため、本発明によれば、 SiO_2 層のデータを格納する第1工程と、 SiO_2 層に接して形成された Si 層のデータを格納する第2工程と、 Si 層を複数の領域に分割し、各領域に含まれる不純物の量を設定する第3工程と、各領域に含まれる不純物の単位時間における領域間の移動量を設定する第4工程と、 SiO_2 層と Si 層との界面付近に、不純物パイルアップ部を構成する第5工程と、第1工程、第2工程、第3工程、第4工程、および第5工程が終了した後、各領域の不純物分布を単位時間毎に計算する第6工程とを含み、不純物の移動量は、不純物のパイルアップ位置から移動した不純物の元の位置との距離（以下距離 r_1 とする）と、最も近い界面のS/Dプロファイル位置から移動した不純物の元の位置との距離（以下距離 r_2 とする）の関数とする半導体プロセスデバイスマデリング方法が提供される。

【0019】

距離 r_2 を、S/Dプロファイルの等濃度線から移動した不純物の元の位置との距離とすることもできる。また、不純物移動量計算に立体角を考慮するようにしてもよい。各領域の不純物分布を単位時間毎に計算する第6工程において、不純物移動計算を、拡散方程式の生成および消滅項の利用を併用して行うことも可能である。

【0020】

S/D領域や孤立した同種の不純物で形成された領域が複数存在する場合には、対象とするイオン打ち込みで形成された領域と、それ以前に既に形成された領域を切り分ける方法としてマスクを利用することができる。

【0021】

逆短チャネル効果の大きさのデータを入力し、第6工程で計算された不純物分布を用いてしきい電圧を計算する半導体プロセスデバイスマデリング方法も提供できる。上記半導体プロセスデバイスマデリング方法は、SOIプロセスによって形成される半導体にも適用できる。

【0022】

また、上記半導体プロセスデバイスマデリング方法をコンピュータに実行させるためのプログラムが提供される。

【0023】

かかる構成によれば、Fairモデルの枠組みで、Si/SiO₂界面での不純物パイルアップのS/Dプロセス依存性を再現し、不純物パイルアップの形状を予測でき、さらにその不純物プロファイルを利用して、しきい電圧の逆短チャネル効果を再現できる、高速計算可能な半導体プロセスデバイスマデリング方法およびそのプログラムが提供できる。

【0024】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる半導体プロセスデバイスマデリング方法およびそのプログラムの好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0025】

(第1の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法は、S/Dプロセス依存性を再現できない従来の簡易モデルに関して、点欠陥に関連した拡散方程式を解かずして、基板領域の不純物量の一部分をSi/SiO₂界面に移動させて不純物パイルアップを構成するが、その不純物移動量をパイルアップ位置からの距離r₁と、最も近い界面のS/Dプロファイル位置までの距離r₂の関数として決定する方法である。

【0026】

従来の簡易モデルでは、たとえば、S/Dインプラドーズ量を変更した場合、

Si層内の各セルからSi/SiO₂界面への不純物移動量計算に対して、S/Dプロセスに関する情報が反映されていないため、界面での不純物パイルアップに対するS/Dプロセス依存性が再現できなかった。

【0027】

図1は、本発明にかかるシミュレーション用コンピュータおよびこれに入力されるデータを示すブロック図、図2は、第1の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。図1に示すように、半導体素子100は、Si/SiO₂界面130をはさんで、上部SiO₂層110上にゲート112、下部のSi層120にドレイン126が形成されている。S/Dプロファイル位置132は、インプランテーション等の条件によって変化する。

【0028】

いま、Si層120を複数のセルに分割し、界面のセル122における不純物パイルアップ量Cint(x)を計算することとする(式1)。面積ΔS(x_i, y_i)の任意のセル124から、元の不純物量C(x_i, y_i)が移動してセル122に不純物量ΔC(x_i, y_i)がパイルアップすると考える。図1に示すように、まず、SiO₂層とSi層のデータをコンピュータに入力する工程が行われる。これらはすなわち、S/Dプロセス依存性およびSi層濃度依存性に関するデータ等である。

【0029】

不純物移動量ΔC(x_i, y_i)をパイルアップ位置からの距離r1と、最も近い界面のS/Dプロファイル位置132からの距離r2の関数として決定することにより、界面130に到達する不純物移動量のS/Dプロセス依存性を再現できる(式2, 3および4)。ここで、パラメータAは、逆短チャネル効果の大きさ、αおよびλ1は、S/Dプロセス依存性、βおよびλ2は、Si層濃度依存性に関するパラメータである。

【0030】

例えば、S/Dインプラドーズ量が増えた場合は、界面のS/D接合位置132がチャネル側にシフトするので、チャネル近傍のセルに対して、距離r2は近くになり、界面130への不純物移動量が増加し、結果として、界面の不純物パイ

ルアップへのS/Dプロセス依存性を反映できる。

【0031】

上記方法により、界面での不純物パイルアップへのS/Dプロファイル依存性を簡便に取り込むことができ、しかもプロセス条件に対するパイルアップ形状の予測が可能になる。

【0032】

(第2の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法は、第1の実施の形態において、距離 r_2 のS/Dプロファイル参照位置を、S/Dプロファイルの等濃度線127からの距離として決定する方法である。

【0033】

図3は、第2の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。界面130での不純物パイルアップの大きさや形状は、S/Dインプラダメージによって発生した過剰な点欠陥濃度に依存するが、初期点欠陥分布にも影響する。

【0034】

初期点欠陥分布をS/D形状に見立てて、不純物移動量をパイルアップ位置からの距離 r_1 と、最も近いS/Dプロファイルの等濃度線127からの距離を距離 r_2 とし、その距離 r_2 との関数として決定することにより、界面に到達する不純物移動量のS/Dプロセス依存性を再現できる。

【0035】

このような方法によることにより、S/Dのエネルギー・ドーズ量によって変化するS/D形状の効果を、界面130での不純物パイルアップ計算に反映できる利点がある。

【0036】

(第3の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法は、第1および第2の実施の形態において、基板などSi層内の任意のセル122から界面130に到達する不純物移動量計算に立体角を考慮する方法である。

【0037】

図4は、第3の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。Si層内の任意のセル122から界面130に到達する不純物移動量計算において、任意のSi層内のセル122から界面のセル124までの距離 r_1 が同じであっても、界面のセル124と任意のSi層内のセル122を結んだ時の断面積が異なれば、界面に到達する不純物移動量も異なるはずである。そこで、Si層内の任意のセル122から界面に到達する不純物移動量計算に立体角 $\Delta\theta$ を考慮する。

【0038】

立体角 $\Delta\theta$ の計算方法としては、たとえば、以下の方法を用いる。まず、界面セル124の界面における辺(a)，辺(a)の2端の1つとセル122の代表点を結ぶ辺(b)，辺(a)の2端のもう一方の点と、セル122の代表点を結ぶ辺(c)を計算する。

【0039】

次に、辺(a)，(b)，(c)を利用して以下の計算式により立体角 $\Delta\theta$ を計算する。

$$\Delta\theta = \text{ATAN} (r / (p - a))$$

$$p = 0.5 * (a + b + c)$$

$$r = r_1 ^ {(1/2)}$$

$$r_1 = (p - a) * (p - b) * (p - c) / p$$

(※宮本他，“基礎数学ハンドブック”，森北出版，p.174，1990引用)

この $\Delta\theta$ を式7に代入し、式1，3，4，および6を用いて不純物パイルアップ量Cint(x)を計算する。

【0040】

本実施の形態にかかる半導体プロセスデバイスマデリング方法によれば、Si層内の任意のセルから界面に到達する不純物移動量計算において、立体角を考慮する事により、2つのセル間の位置依存性が界面での不純物パイルアップ形成に反映できる利点がある。

【0041】

(第4の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法は、第1，2および3の実施の形態において、 S_i 層内の任意のセルから界面への不純物移動を、拡散方程式の生成および消滅項の利用を併用して行う方法である。

【0042】

図5は、第4の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。従来の簡易モデルでは、 S_i 層内の任意のセル122から界面に到達する不純物移動は、点欠陥の拡散が非常に速いので、瞬時に S_i 層内部から界面に移動することを前提にしている。ただし、実際には、移動途中で不純物の幾らかは、基板に残り、この影響は、低温熱処理になるほど顕在化していく。

【0043】

そこで、不純物移動量の幾らかを拡散方程式の不純物生成および消滅項に割り当て、界面のセルに直接加算する方法と併用することにより、移動途中のセル上の不純物に間接的に影響を与えるようにするのが、本実施の形態にかかる半導体プロセスデバイスマデリング方法の特長である。ここで、不純物総量は解析領域で保存されなければならないので、不純物の発生量と消滅量は等しく設定しなければならない。

【0044】

図5に示すように、 S_i 層内の任意のセルで不純物量の幾らかを消滅させ($- \Delta C^*$)、界面のセル上で生成($+ \Delta C^*$)させる。これらの影響は矢印で示すような不純物FLAX(J)の流れを通じて各セルへ間接的に影響を与える。

【0045】

本実施の形態にかかる半導体プロセスデバイスマデリング方法によれば、 S_i 層内の各セルから界面へ移動する不純物量の幾らかが、移動途中で残る効果を間接的に取り入れる事ができ、これらの効果が顕在化する低温熱処理にも適用範囲を広げられる利点がある。

【0046】

(第5の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法においては、第1および2の実施の形態において、S/D領域や孤立した同種の不純物で形成された領域が複数存在する場合の例外処理で、対象とするインプラで形成された領域と、それ以前に既に形成された領域を切り分ける方法としてマスクを利用する方法である。

【0047】

図6は、第5の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図、図7は、第5の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明するフローチャートである。

【0048】

図6に示すように、界面への不純物移動量計算で扱うSi層内の各セルからS/D領域位置までの距離 r_2 において、界面での不純物バイルアップに寄与するインプラ領域以外にも、それ以前に既に形成されている同種の不純物で形成される孤立領域532等が存在する半導体素子500の場合には、マスク505を利用して、検索対象から外す。ただし、ここで言うS/D領域とは、インプラによって過剰な点欠陥が発生する領域を差し、必ずしもS/D領域を意図しない。

【0049】

図6の例では、まず、マスク指定した範囲を除いた解析領域内で、孤立した同種の不純物で形成されるインプラ領域を検索し、たとえば、セル522は最も近い領域530を参照し、セル524は最も近い領域528を参照する。セル526は最も近い領域532がマスク505指定範囲で検索対象外なので、領域528が参照される。

【0050】

図7に示すように、上記方法に基づき、まず、マスク指定範囲外の解析領域で、孤立インプラ領域を検索し（ステップ601）、例えばセル522、524および526など各セルから、界面への不純物移動量を計算および移動させる（ステップ602）。

【0051】

続いてFairモデルによる拡散方程式を解き（ステップ603）、熱処理時

間が、時間 t_{TED} （過渡増速拡散持続時間）を超えない場合は（ステップ604），ステップ601に戻り、超えた場合は通常の拡散処理に進む。

【0052】

本実施の形態にかかる半導体プロセスデバイスマデリング方法によれば、通常、ソフトウェアに既に搭載されているマスク指定機能を利用することにより、少ない開発コストで、対象とするインプラで形成された領域と、それ以外の領域の切り分けを容易にできる利点がある。

【0053】

(第6の実施の形態)

本実施の形態にかかる半導体プロセスデバイスマデリング方法は、第1から第5の実施の形態において構成された不純物プロファイルを用いて、しきい電圧の逆短チャネル効果のモデリングに利用する方法である。

【0054】

一般に、しきい電圧の逆短チャネル効果のプロセス依存性を再現するために、各プロセスに対応したパラメータを導入する。界面への不純物移動量を計算する際の、 S_i 層内の任意のセルから界面セルまでの距離 r_1 と S/D 領域までの距離 r_2 に関連した λ_1 と λ_2 を、点欠陥の拡散長の関数としてそれぞれ次式として表す。

【0055】

$$\lambda_1 = \alpha \times (D_i \times t_{TED}) \quad (\text{式8})$$

$$\lambda_2 = \beta \times (D_i \times t_{TED}) \quad (\text{式9})$$

ここで、 α と β はパラメータであり、 α は S/D プロセス依存性を表すパラメータに相当し、 S/D 形成におけるプロセス依存性を吸収する。 β は S_i 層濃度依存性を表すパラメータに相当し、しきい電圧制御インプラ条件の依存性などのプロセス依存性を吸収する。また、しきい電圧の逆短チャネル効果の大きさを調節するパラメータ A を導入する。

【0056】

このようにプロセス条件に対応したパラメータを導入することにより、しきい電圧の逆短チャネル効果のプロセス条件依存性を再現でき、少ない計算コストで

、実測値との合わせ込みが容易になる。

【0057】

図8は、上記計算方法により、しきい電圧のゲート長依存性をシミュレーションした結果を、実測値とともに示したものである。ここでは、3つのプロセス条件No. 1, 2, 3についての特性曲線が示されているが、いずれも実測値に極めて近似した結果が得られている。

【0058】

以上、添付図面を参照しながら本発明にかかる半導体プロセスデバイスマデリング方法およびそのプログラムの好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0059】

例えば、本発明にかかる半導体プロセスデバイスマデリング方法は、SOIプロセスによって製造されるものでもよい。この場合は、ゲート酸化膜とBOX層に挟まれるSi層と、基板であるSi層が存在することになる。

【0060】

それらのSi層のうち、基板であるSi層は熱処理による不純物パイルアップが発生しない。これは、不純物パイルアップが、外気（ガスおよび空気）と、各層の位置関係によって決まるためである。よってこの場合には、ゲート酸化膜およびBOX層と、それらに挟まれるSi層との2つの界面について、選択的にパラメータを調節することで、本発明の方法を適用できる。

【0061】

また、プロセス条件を入力して電気特性を出力するまでのシミュレーションする部分を装置として置き換えることも可能である。

【0062】

【発明の効果】

以上説明したように、本発明によれば、Fairモデルの枠組みで、Si/SiO₂界面での不純物パイルアップのS/Dプロセス依存性および不純物パイル

アップの形状を再現でき、その不純物プロファイルを利用して、しきい電圧の逆短チャネル効果を再現できる高速計算可能な半導体プロセスデバイスマデリング方法およびそのプログラムを提供できる。

【図面の簡単な説明】

【図1】

シミュレーション用コンピュータおよびこれに入力されるデータを示すブロック図である。

【図2】

第1の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図3】

第2の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図4】

第3の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図5】

第4の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図6】

第5の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図7】

第5の実施の形態にかかる半導体プロセスデバイスマデリング方法の工程を説明するフローチャートである。

【図8】

第6の実施の形態にかかる半導体プロセスデバイスマデリング方法を説明する図である。

【図9】

不純物拡散のメカニズムを説明する図である。

【図1・0】

チャネル長手方向距離と不純物濃度との関係を示す特性曲線図である。

【図1・1】

ゲート長としきい電圧との関係を示す特性曲線図である。

【図1・2】

従来の2種類の不純物拡散モデルの説明図である。

【図1・3】

従来の簡易モデルの説明図である。

【図1・4】

Si/SiO₂界面におけるパイルアップ量の分布を示す図である。

【図1・5】

従来の簡易モデルにおける半導体プロセスデバイスマデリング方法の工程を示すフローチャートである。

【符号の説明】

100 半導体素子

112 ゲート

120 Si層

122 界面のセル

124 任意のセル

126 ドレイン

130 Si/SiO₂界面

132 S/Dプロファイル位置

Cint 不純物パイルアップ量

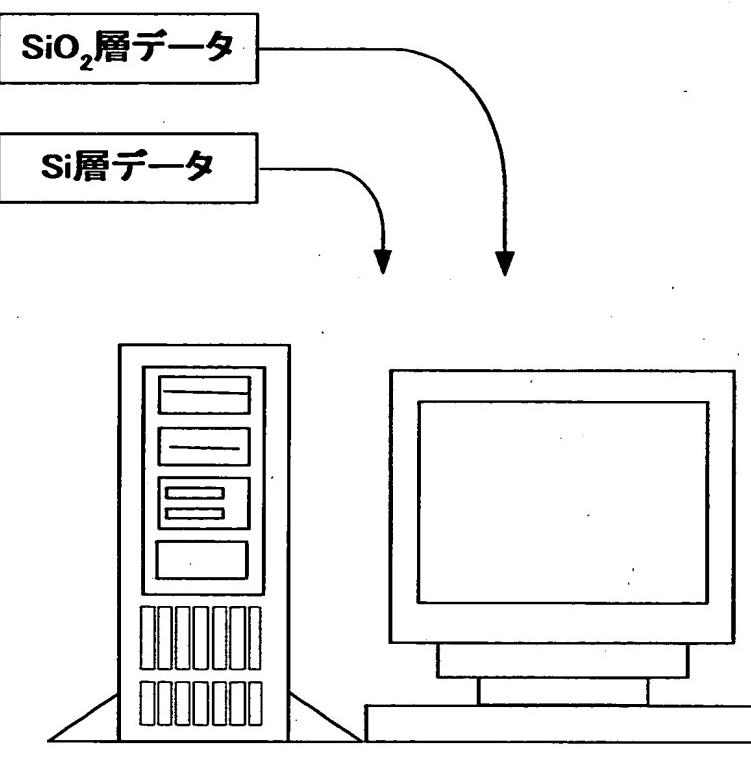
ΔC(x_i, y_j) 不純物移動量

ΔS(x_i, y_j) セルの面積

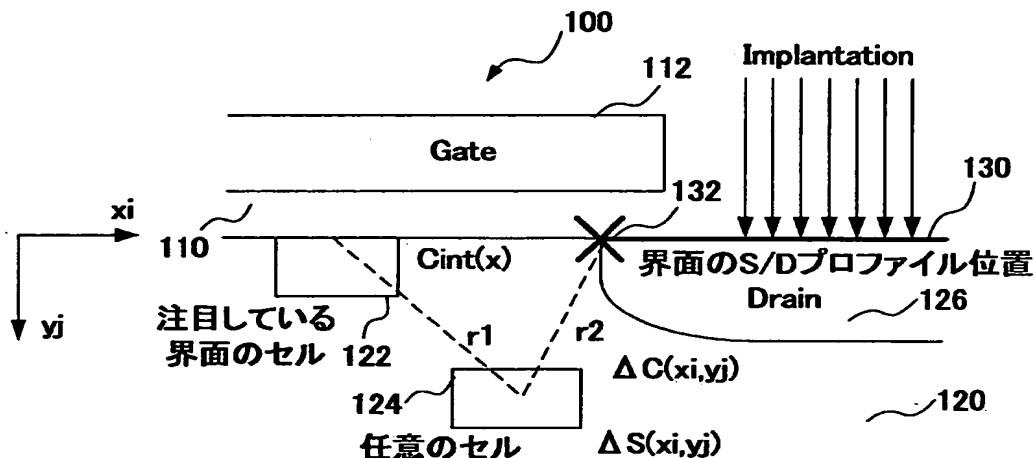
C(x_i, y_j) 不純物濃度

【書類名】 図面

【図1】



【図2】



S/Dプロセス条件によって
チャネル方向の界面のS/D
プロファイル位置が異なる

$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの不純物パイルアップ量} \quad (\text{式1})$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad \text{Si層内の任意セルの不純物移動量} \quad (\text{式2})$$

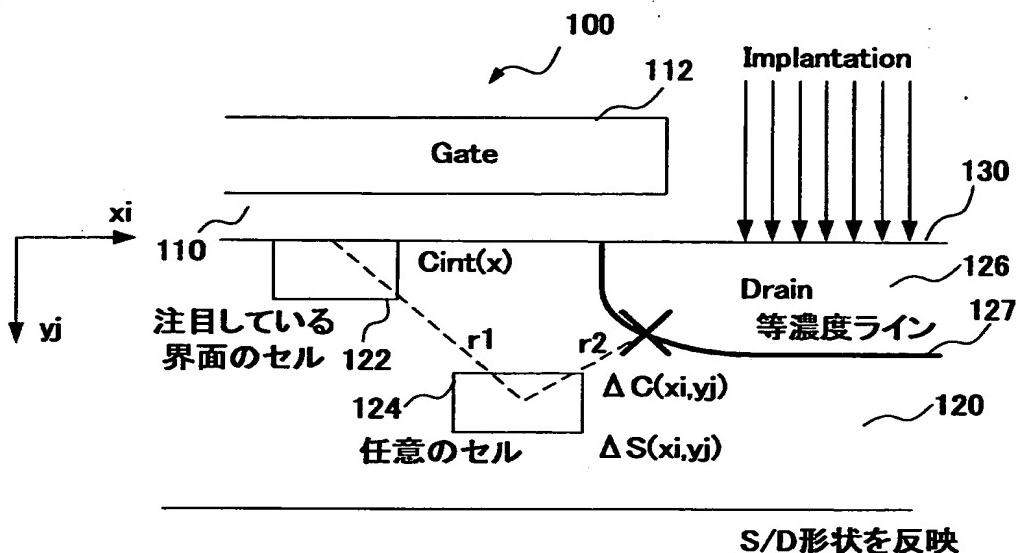
$$P_b = \exp(-r_1 / \lambda 1) \quad (\text{式3})$$

$$P_i = \exp(-r_2 / \lambda 2) \quad (\text{式4})$$

パラメータ:A、 α 、 β 、 $\lambda 1$ 、 $\lambda 2$

$C(x, y)$: (x, y) での不純物濃度
 $\Delta S(x, y)$: (x, y) でのセル面積

【図3】



$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの} \\ \text{不純物パイルアップ量} \quad (\text{式1})$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad \text{Si層内の任意セル} \\ \text{の不純物移動量} \quad (\text{式2})$$

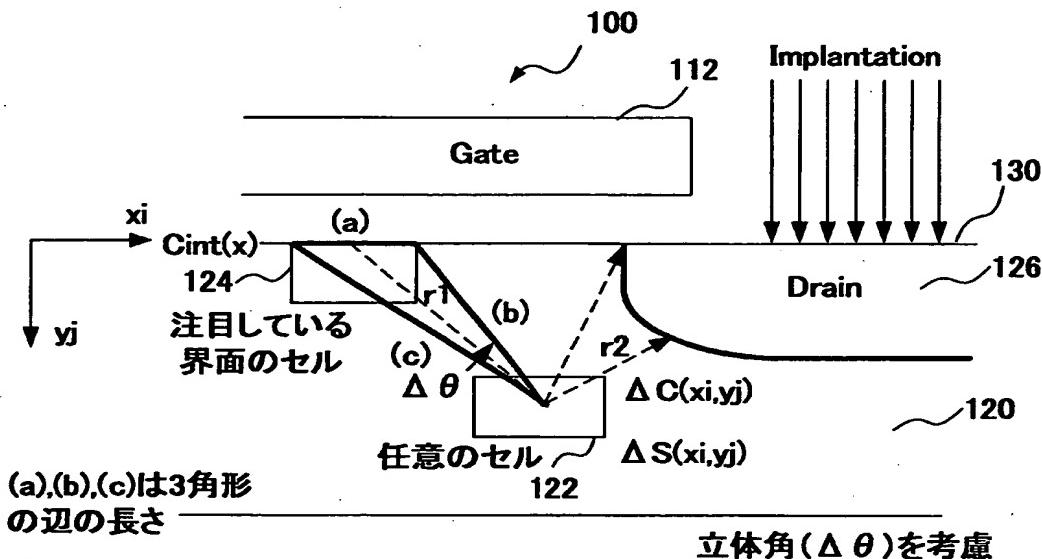
$$P_b = \exp(-r_1 / \lambda 1) \quad (\text{式3})$$

$$P_i = \exp(-r_2 / \lambda 2) \quad (\text{式4})$$

パラメータ:A、 α 、 β 、 $\lambda 1$ 、 $\lambda 2$

$C(x, y)$: (x, y) での不純物濃度
 $\Delta S(x, y)$: (x, y) でのセル面積

【図4】



$$C_{int}(x) = \sum \Delta C(x_i, y_j) \quad \text{注目している界面のセルの不純物パイルアップ量} \quad (\text{式1})$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times \underline{P_r} \times C(x_i, y_j) \times \Delta S(x_i, y_j) \quad (\text{式6})$$

$$P_b = \exp(-r_1 / \lambda 1) \quad (\text{式3}) \quad \text{Si層内の任意セルの不純物移動量}$$

$$P_i = \exp(-r_2 / \lambda 2) \quad (\text{式4})$$

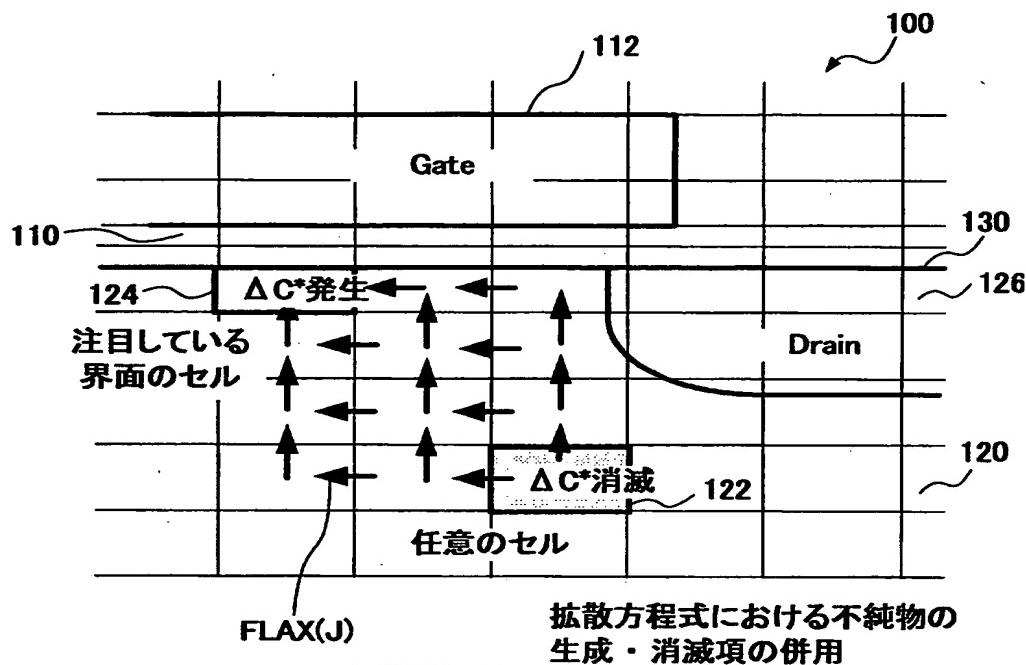
$$P_r = \Delta\theta / 2\pi \quad (\text{式7})$$

パラメータ:A、 α 、 β 、 $\lambda 1$ 、 $\lambda 2$

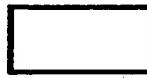
$C(x, y)$: (x, y) での不純物濃度

$\Delta S(x, y)$: (x, y) でのセル面積

【図5】



通常のセル



$$\frac{\partial C}{\partial t} + \operatorname{div} J = 0$$

注目しているセル



$$\frac{\partial C}{\partial t} + \operatorname{div} J = -\Delta C^* \text{または} +\Delta C^*$$

発生: $+\Delta C^*$
消滅: $-\Delta C^*$ [cm⁻³/s]

ここで

$$J = -D \operatorname{grad} C$$

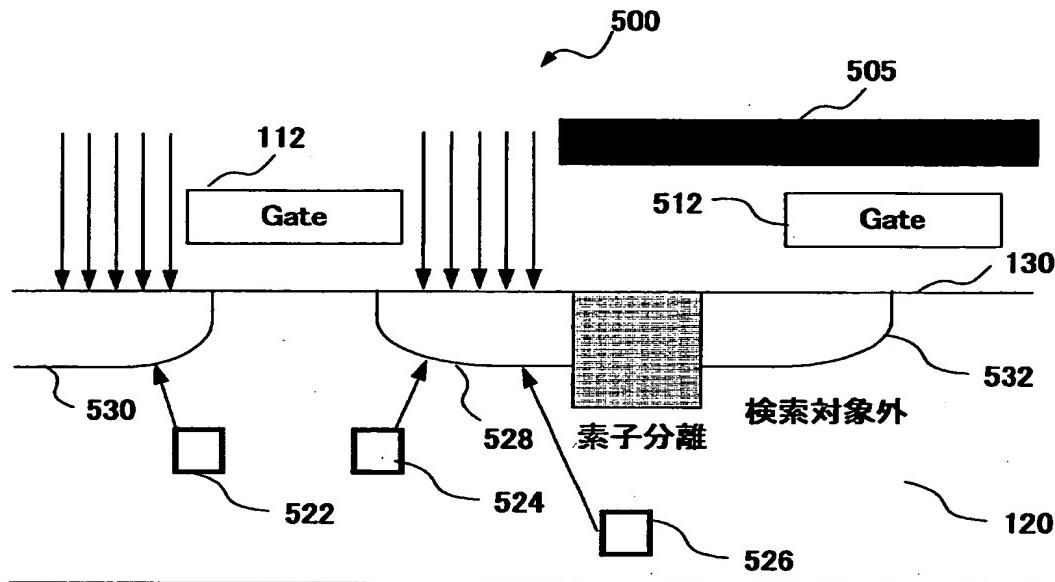
C : 不純物濃度

D : 拡散定数

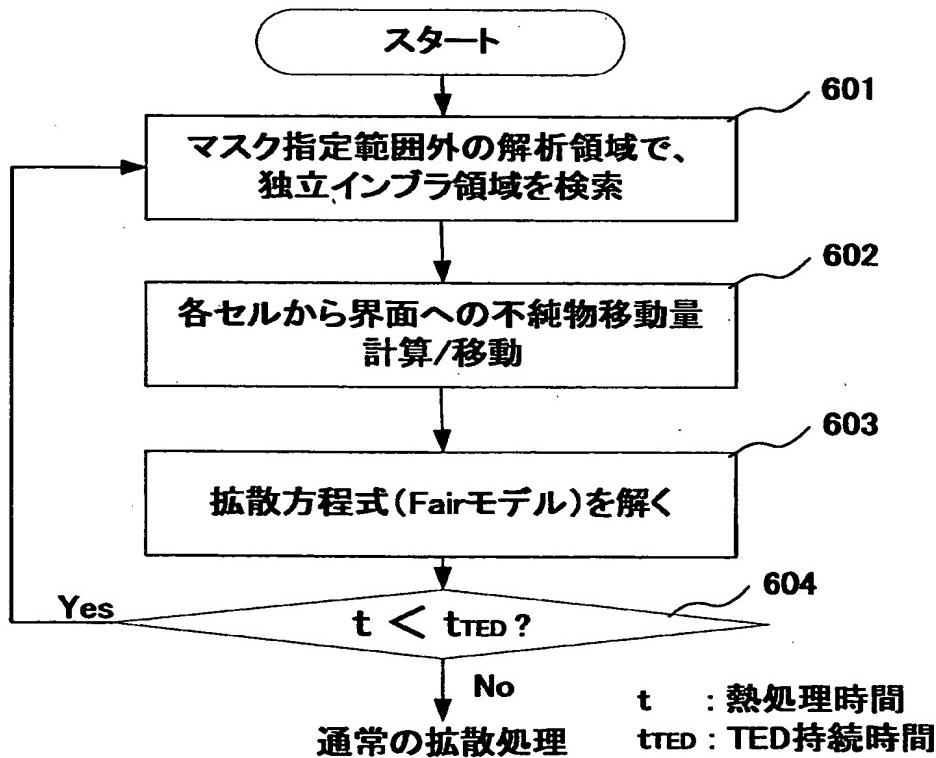
t : 時間

 ΔC^* : Cの発生あるいは消滅量

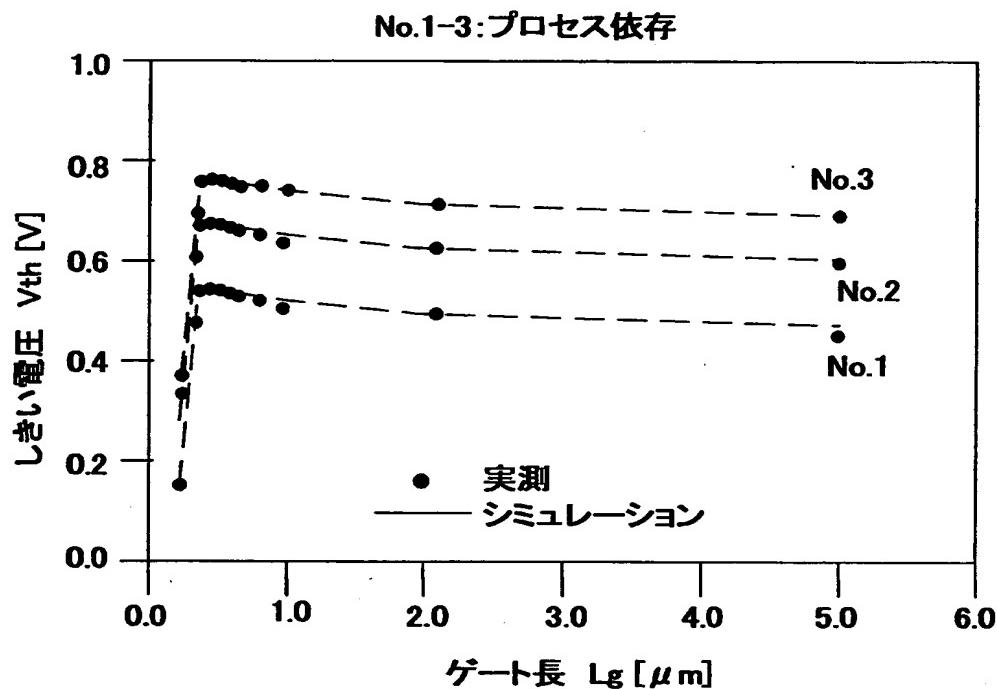
【図6】



【図7】



【図8】



$$C_{int}(x) = \sum \Delta C(x_i, y_j)$$

$$\Delta C(x_i, y_j) = A \times P_b \times P_i \times P_r \times C(x_i, y_j) \times \Delta S(x_i, y_j)$$

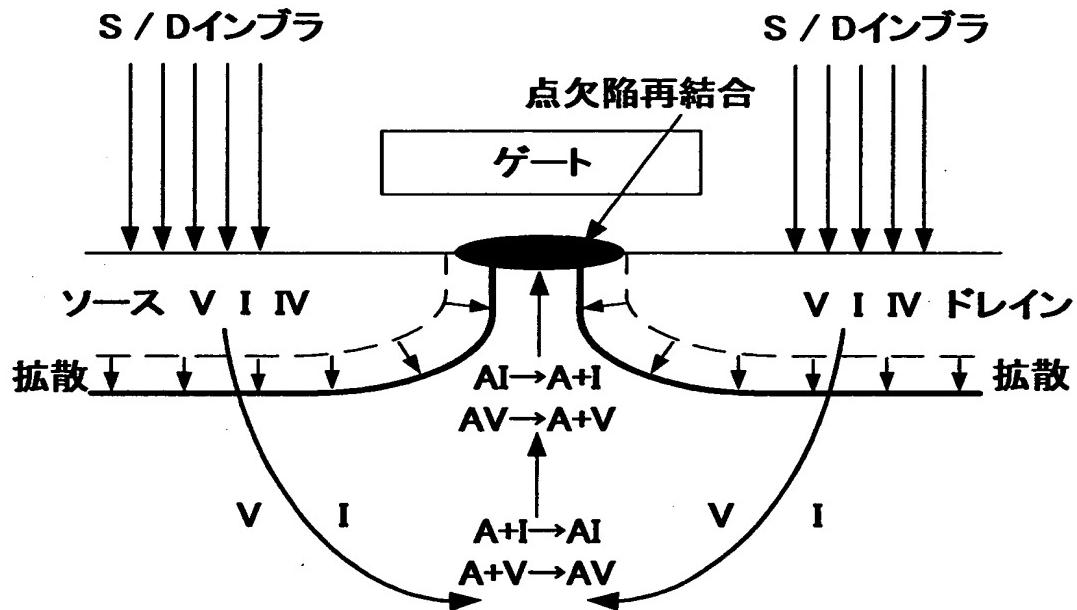
$$P_b = \exp(-r_1 / \lambda_1) \quad P_r = \Delta \theta / 2\pi$$

$$P_i = \exp(-r_2 / \lambda_2) \quad \lambda_1 = \alpha \times \sqrt{D_i t_{TED}} \quad (式8)$$

$$\lambda_2 = \beta \times \sqrt{D_i t_{TED}} \quad (式9)$$

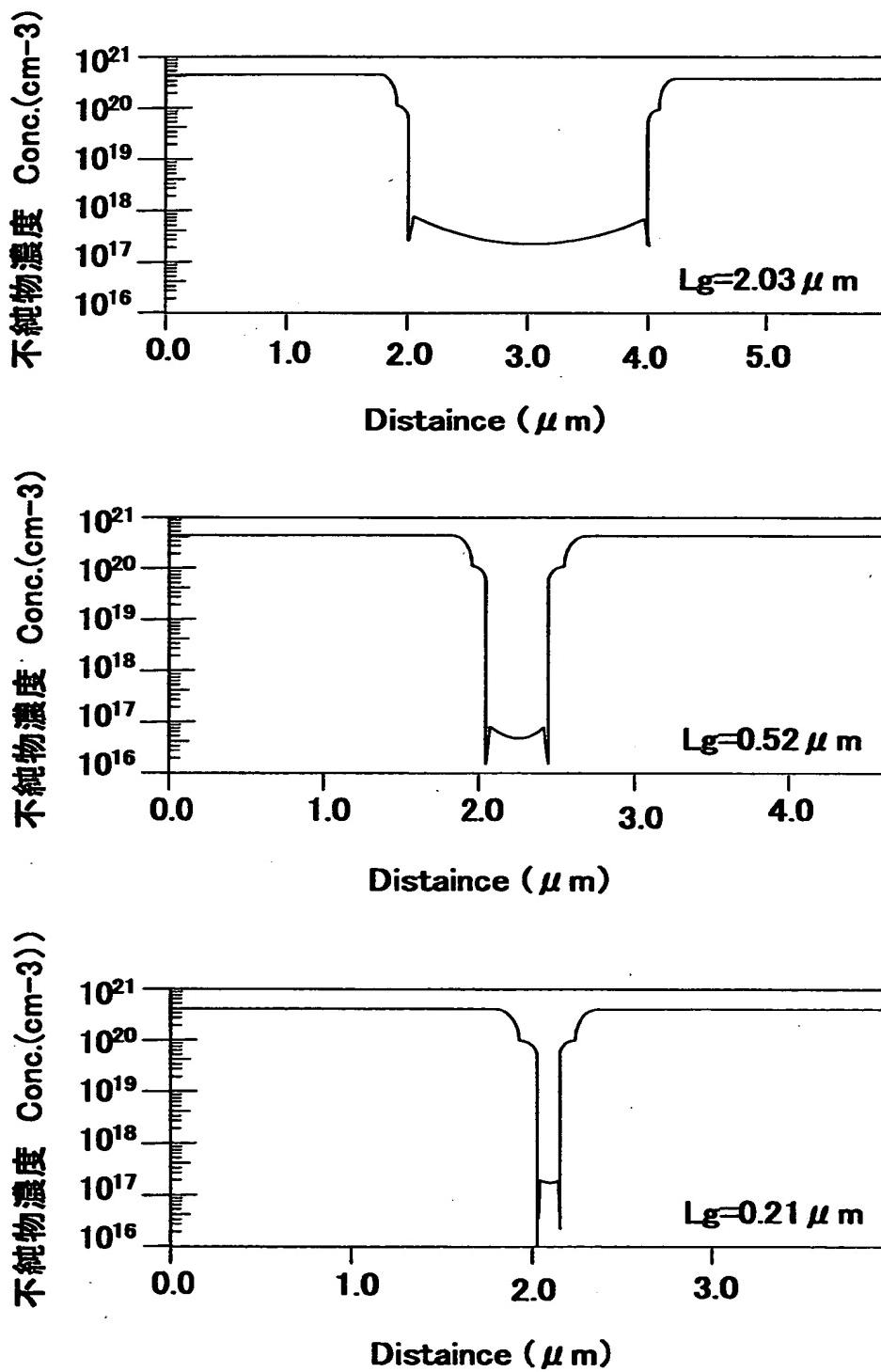
パラメータ	合わせ込み対象
A	逆短チャネル効果の大きさ
α	S/Dプロセス依存性
β	SI厚濃度依存性

【図9】

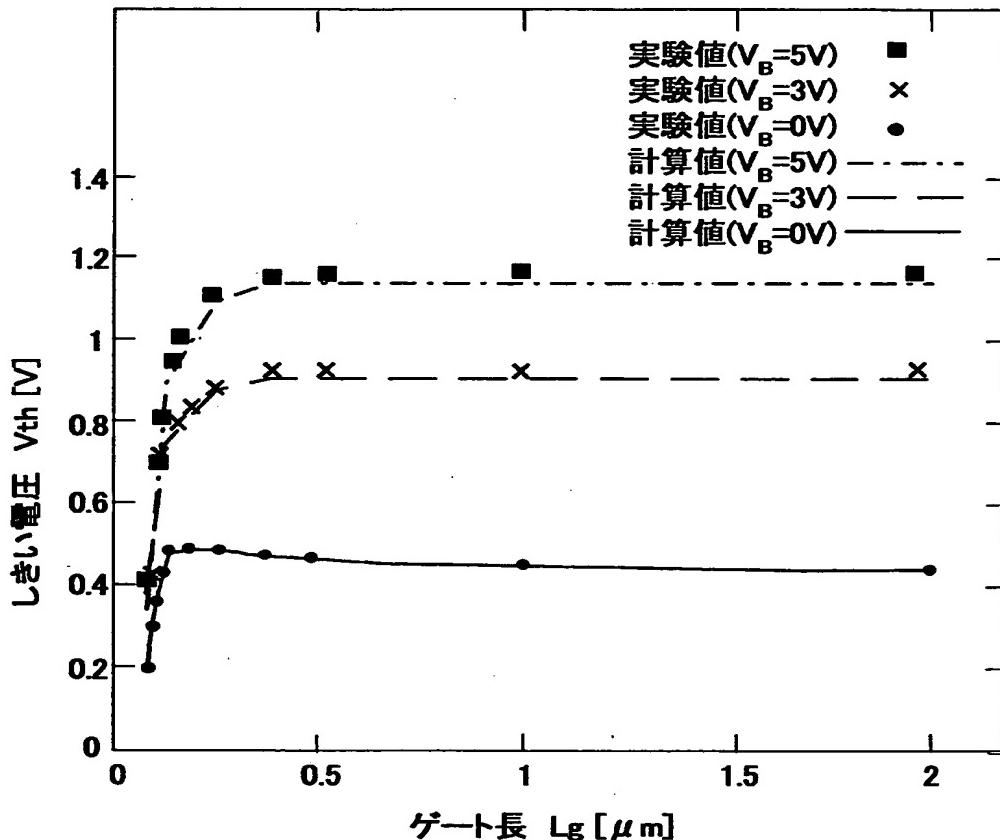


A:不純物
 I:格子間Si
 V:空孔
 AI:不純物-格子間Siペア
 AV:不純物-空孔ペア
 IV:格子間Si-空孔ペア

【図10】



【図11】



【図12】

Fairモデル

$$\partial C_A / \partial t = -\nabla J_A$$

ペア拡散モデル

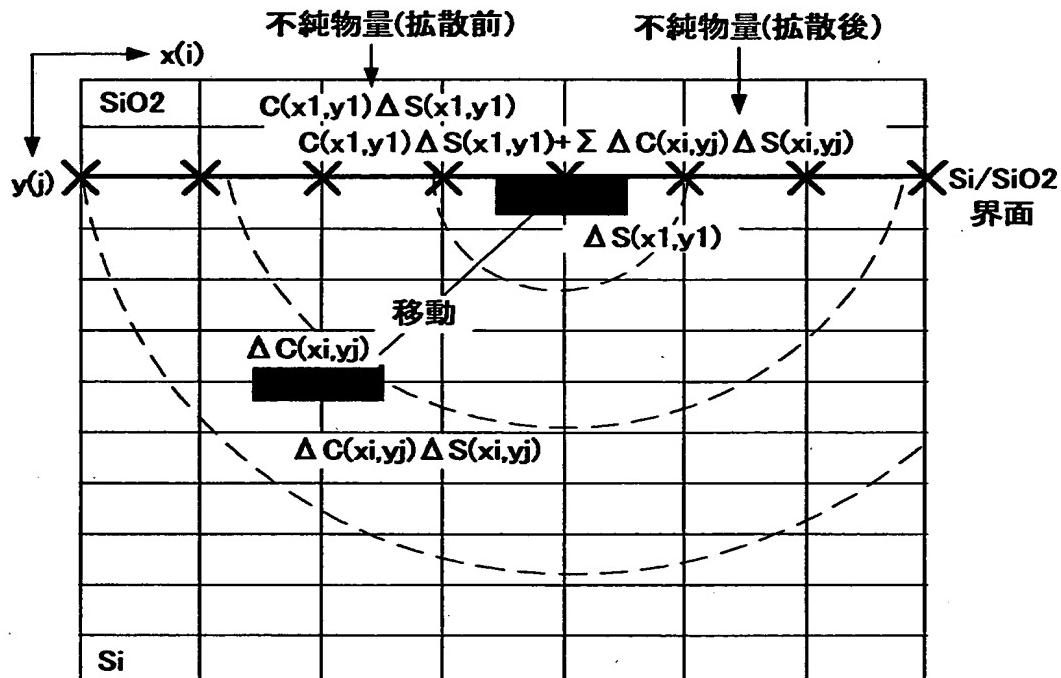
$$\partial C_I / \partial t + \sum \partial C_{AI} / \partial t = -\nabla J_I - \sum \nabla J_{AI} - R_{IV} + R_{IV}$$

$$\partial C_V / \partial t + \sum \partial C_{AV} / \partial t = -\nabla J_V - \sum \nabla J_{AV} - R_{IV} + R_{IV}$$

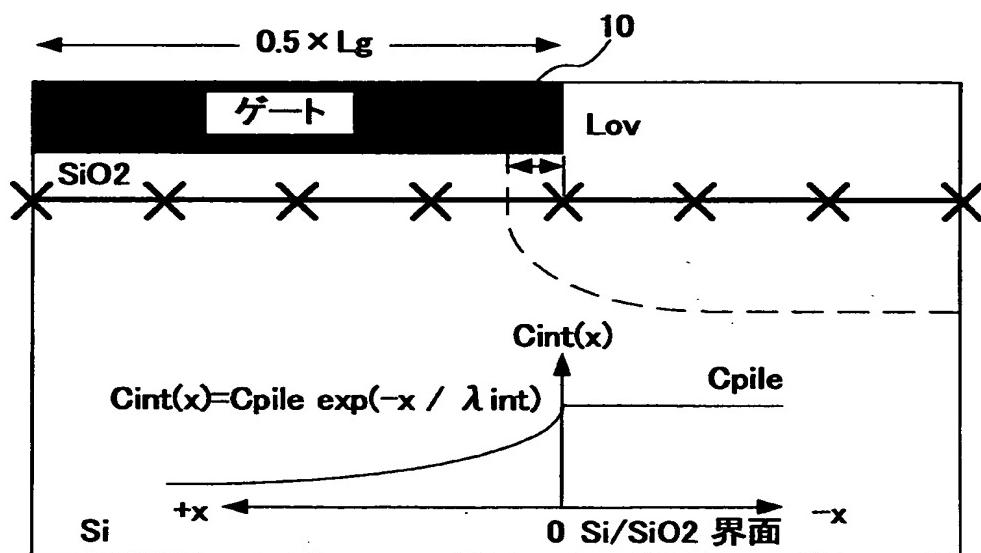
$$\begin{aligned} \partial C_{A\text{total}} / \partial t &= \nabla \{ D_{AI} C_{A\text{total}} (C_I / C_I^*) \nabla (\log(p C_{A\text{total}} C_I / C_I^* n_i)) \} \\ &\quad + \nabla \{ D_{AV} C_{A\text{total}} (C_V / C_V^*) \nabla (\log(p C_{A\text{total}} C_V / C_V^* n_i)) \} \end{aligned}$$

A = all dopant species, I=interstitial, V = vacancy

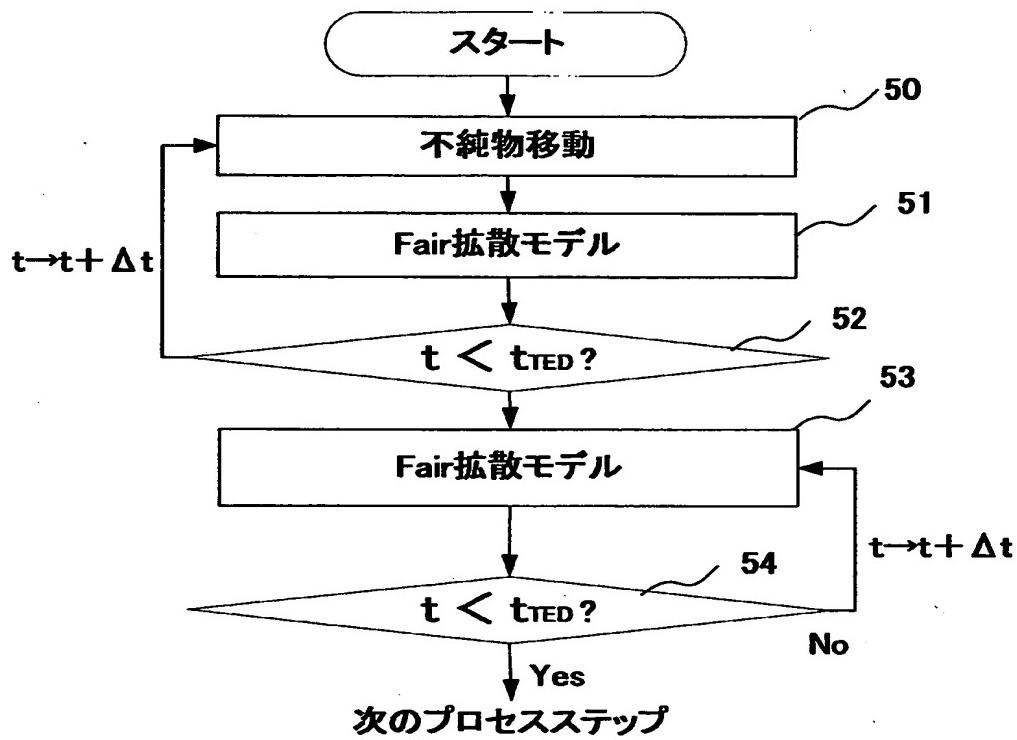
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 S/Dプロセス依存性を考慮して Si/SiO₂ 界面での不純物バイルアップを再現し、しきい電圧の逆短チャネル効果を再現できる高速計算可能な方法を提供する。

【解決手段】 Si層120を複数のセルに分割し、界面のセル122における不純物バイルアップ量C_{int}(x)を計算する際(式1)，面積ΔS(x_i, y_i)の任意のセル124から、元の不純物量C(x_i, y_i)が移動してセル122にバイルアップする不純物量ΔC(x_i, y_i)をバイルアップ位置からの距離r₁と、最も近い界面のS/Dプロファイル位置132からの距離r₂の関数として決定する(式2, 3, 4)。これを用いて、選択的にパラメータを調節し、逆短チャネル効果を計算する。

【選択図】 図2

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社